

Offre de Post-doc : Modélisation et mise en œuvre de Systèmes sur puces sûrs par conception

Durée : 18 mois

Début : Automne 2022

Structure d'accueil : Laboratoire Lab-STICC (UMR 6285) - ENSTA Bretagne, Brest

1 Objet du poste

Ce poste est ouvert dans le cadre du projet Trust Soc financé par l'Agence Innovation Défense (AID). Ce projet vise à la mise en place de systèmes sur puce sûrs par construction. Il s'agit de prendre à rebours l'approche conventionnelle qui voudrait que l'on prenne un SoC système sur puce (SoC) pour le sécuriser. A l'inverse, l'approche TrustSoc vise à énoncer les règles de sécurisation en amont de la conception du SoC, puis à les décliner lors de l'implémentation.

2 Contexte

Le poste ouvert est situé à l'ENSTA Bretagne, une grande École d'Ingénieurs sous la tutelle du Ministère des Armées. L'environnement scientifique est l'UMR 6285 Lab-STICC. Le futur embauché y rejoindra une équipe spécialisée en conception d'outils de CAO pour l'embarqué et plus particulièrement pour le reconfigurable.

3 Descriptif du poste

Le nouvel embauché aura la charge de modéliser sous forme exécutable les politiques de sécurité du SoC, lesquelles devront se décliner sous forme de système distribué de contrôleurs agissant sur le BUS AXI architecturant le SoC. Le travail bénéficiera du soutien d'un ingénieur en charge de l'implémentation d'un générateur paramétrique de BUS AXI, et s'articulera avec une thèse débutée en octobre 2021 dans un cadre collaboratif avec l'équipe *Embedded System Security and Hardware Architecture group* de l'Université Jean Monnet.

Ces contrôleurs devront permettre un suivi des activités sur le bus, un déverminage – et donc le support d'une méthodologie agile, avec un pilotage par les tests – des mesures de performance, des décisions locales comme distribuées.

Ces contrôleurs seront décrits sous la forme de modèles exécutables – simples à évaluer et faire évoluer – devant, dans un second temps, une fois la spécification figée, permettre la production de code VHDL équivalent, destiné à une synthèse matérielle.

Trois enjeux centraux seront explorés dans le cadre du post-doctorat : l'impact des performances des contrôleurs sur la faisabilité globale, le passage à l'échelle des solutions proposées (en particulier lors de décisions distribuées), l'emploi d'overlays comme vecteur d'adaptabilité des politiques.

Ces travaux bénéficieront d'un environnement technique riche : ressources matérielles de type FPGA, un émulateur Zébu, etc.

Des scénarii seront mis en œuvre pour démontrer la réalisation : SoC incluant des périphériques représentatifs (accès DMA ou non, μ P avec ou sans enclave, RAM, E/S), plusieurs niveaux de bus, et des cas applicatifs de référence (tentative d'écriture *burst* illégale, tentative de projection de privilège NR bit sur μ P distant, etc.).

4 Candidat

Le candidat devra posséder un doctorat ou équivalent. Le candidat justifiera de la bonne adéquation de ses compétences avec les attendus du projet : Conception électronique numérique / VHDL, programmation logicielle orienté objet (python, smalltalk, ...), sécurité, encadrement d'ingénieur/doctorant. Les missions de ce Post-doc sont conditionnées par l'obtention d'une habilitation de la défense nationale.

5 Contacts

Pièces à joindre : CV, diplôme, notes, lettre de motivation, lettre de recommandation.

- Prof. Loïc Lagadec, loic.lagadec@ensta-bretagne.fr
- Dr. Pascal Cotret, pascal.cotret@ensta-bretagne.fr
- Pr. Lilian Bossuet, lilian.bossuet@univ-saint-etienne.fr