

# Offre d'ingénieur : Modélisation et mise en œuvre de générateur de bus AXI

**Durée :** 12 mois

**Début :** Automne 2022

**Structure d'accueil :** ENSTA Bretagne, Brest - Laboratoire Lab-STICC (UMR 6285)

## 1 Objet du poste

Ce poste est ouvert dans le cadre du projet Trust Soc financé par l'Agence Innovation Défense (AID). Ce projet vise à la mise en place de systèmes sur puce sûrs par construction. Il s'agit de prendre à rebours l'approche conventionnelle qui voudrait que l'on prenne un So système sur puce (SoC) pour le sécuriser. A l'inverse, l'approche TrustSoc vise à énoncer les règles de sécurisation en amont de la conception du SoC, puis à les décliner lors de l'implémentation.

## 2 Contexte

Le poste ouvert est situé à l'ENSTA Bretagne, une grande École d'Ingénieurs sous la tutelle du Ministère des Armées. L'environnement scientifique est l'UMR 6285 Lab-STICC. Le futur embauché y rejoindra une équipe spécialisée en conception d'outils de CAO pour l'embarqué et plus particulièrement pour le reconfigurable.

## 3 Descriptif du poste

Le nouvel embauché aura la charge de modéliser les BUS AXI et de développer un générateur de BUS AXI qui soit fortement paramétrable (largeur du bus de données, de contrôle, nombre de maîtres, nombre d'esclaves, étages de pipeline et temps de réponse en cycles, arbitrage etc.).

Ce générateur devra produire un code VHDL synthétisable correspondant à la version de BUS spécifiée. Ce code VHDL intégrera des entrées sorties additionnelles permettant de venir connecter des contrôleurs externes à des fins de monitoring, de debug, et de déploiement de politiques de sécurité, le but étant à termes de pouvoir détecter et contrer des comportements anormaux/malveillants au niveau d'un System On Chip. Il s'agira donc pour le futur embauché de réaliser un logiciel (exécuté lors de la conception d'un SoC) produisant une IP matérielle synthétisable (le bus AXI) à partir d'une spécification donnée (nombre de maîtres, d'esclaves etc).

Le développement devra se faire suivant une méthodologie agile ; un premier générateur sommaire devant être produit à échéance de deux à trois mois pour valider l'approche, avant un enrichissement progressif de ce générateur par la suite pour déboucher sur le livrable final. Chaque

itération s'accompagnera de tests automatisés, pour s'assurer de la non-déviations du prototype par rapport aux spécifications et de la non-régression du développement.

Le code produit s'appuiera sur un modèle architectural, lequel sera instancié lors de la génération. La production de code s'appuiera sur un pretty printer de cette instanciation.

Des scénarii simples seront mis en œuvre pour démontrer la réalisation : quelques périphériques (DMA,  $\mu$ P, RAM), plusieurs niveaux de bus, et des cas applicatifs de référence (poignée de mains, lecteurs-écrivains, etc.).

## 4 Candidat

Le candidat devra posséder un diplôme de M2 ou d'ingénieur. Le candidat justifiera de la bonne adéquation de ses compétences avec les attendus du projet : Conception électronique numérique / VHDL, programmation logicielle orienté objet (python, Ruby, smalltalk, C++ ou autre...), sécurité, encadrement d'ingénieur/doctorant. Les missions de ce Post-doc sont conditionnées par l'obtention d'une habilitation de la défense nationale.

## 5 Contacts

**Pièces à joindre** : CV, diplôme, notes, lettre de motivation, lettre de recommandation.

- Prof. Loïc Lagadec, [loic.lagadec@ensta-bretagne.fr](mailto:loic.lagadec@ensta-bretagne.fr)
- Dr. Pascal Cotret, [pascal.cotret@ensta-bretagne.fr](mailto:pascal.cotret@ensta-bretagne.fr)
- Dr. Théotime Bollengier, [theotime.bollengier@ensta-bretagne.fr](mailto:theotime.bollengier@ensta-bretagne.fr)